

none

none

none

© EPODOC / EPO

PN - JP2001168729 A 20010622

PD - 2001-06-22

PR - JP19990352807 19991213

OPD - 1999-12-13

TI - DATA TRANSMISSION SYSTEM

IN - ODAWARA ATSUHIRO

PA - RICOH KK

IC - H03M9/00 ; G06F1/12

© WPI / DERWENT

TI - Data transmission system has received data judging circuit which performs multipoint sampling of parallel data and outputs center bit of sampled data

PR - JP19990352807 19991213

PN - JP2001168729 A 20010622 DW200151 H03M9/00 006pp

PA - (RICO) RICOH KK

IC - G06F1/12 ;H03M9/00

AB - JP2001168729 NOVELTY - The gate (4) synchronized with the clock generated by clock generator (5) of transmitter (1) converts serial data into parallel data. The data judging circuit (9) of receiver performs multipoint sampling of received parallel data and outputs center bit of sampled data. Gate (11) synchronized with clock of clock generator converts output of data judging circuit to serial data.

- USE - Data transmission system.
- ADVANTAGE - As data judging circuit outputs the center bit of sampled data, error in data transmission can be easily judged and thus even when jitter is produced on data and clock, an errorless data transmission can be performed.

- DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of data transmission system. (Drawing includes non-English language text).

- Transmitter 1

- Gates 4,11

- Clock generator 5

- Data judging circuit 9

- (Dwg.1/3)

OPD - 1999-12-13

AN - 2001-470153 [51]

none

Copied from 10656143 on 17-01-2004

none

Copied from 10656143 on 17-01-2004

none	none	none
------	------	------

© PAJ / JPO

PN - JP2001168729 A 20010622
PD - 2001-06-22
AP - JP19990352807 19991213
IN - ODAWARA ATSUHIRO
PA - RICOH CO LTD
TI - DATA TRANSMISSION SYSTEM
AB - PROBLEM TO BE SOLVED: To provide a data transmission system capable of performing multi- point sampling and reducing generation probability of transmission errors without frequency-dividing clocks generated by a transmitter side to multiple and transmitting them to a receiver in the data transmission system for which a transmitter and the receiver are connected through plural data lines and clock lines.
- SOLUTION: The transmitter1 converts serial data to parallel data and transmits the data to the receiver 7. The receiver 7 performs execution by performing conversion to the serial data with the center bit of sampling data for which the received parallel data are multi-point sampled as correct data. Also, the execution is performed by counting the '0' and '1' of the sampling data, performing majority judgment and converting the major one to the serial data.
I - H03M9/00 ;G06F1/12

none	Copied from 10656143 on 17-01-2004	none
------	------------------------------------	------

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-168729

(P2001-168729A)

(43) 公開日 平成13年6月22日 (2001. 6. 22)

(51) Int.Cl.⁷

識別記号

F I

マークコード^{*}(参考)

H 03 M 9/00

H 03 M 9/00

A

G 06 F 1/12

G 06 F 1/04

3 4 0 D

審査請求 未請求 請求項の数6 O.L (全6頁)

(21) 出願番号 特願平11-352807

(71) 出願人 000006747

株式会社リコー

(22) 出願日 平成11年12月13日 (1999. 12. 13)

東京都大田区中馬込1丁目3番6号

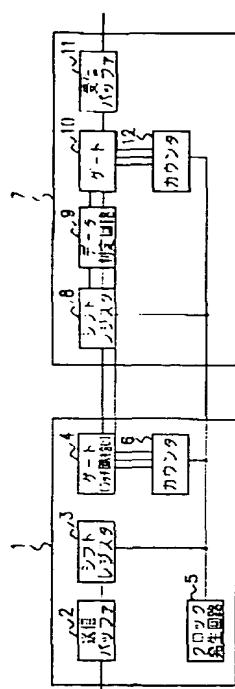
(72) 発明者 小田原 篤弘
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(54) 【発明の名称】 データ伝送システム

(57) 【要約】

【課題】 送信装置と受信装置とが複数のデータ線とクロック線により接続されたデータ伝送システムにおいて、送信装置側の生成したクロックを通倍に分周して受信装置に送信しなくとも、多点サンプリングを可能とし、伝送誤りの発生確率を低減することが可能なデータ伝送システムを提供する。

【解決手段】 送信装置1は、シリアルデータをパラレルデータに変換して、受信装置7にデータを送信する。受信装置7は、受信したパラレルデータを多点サンプリングしたサンプリングデータの中央ビットを正しいデータとして、シリアルデータに変換することにより実行する。また、当該サンプリングデータの0と1をカウントして多数決判定を行い、多い方をシリアルデータに変換することにより実行する。



【特許請求の範囲】

【請求項1】 送信装置と受信装置とが複数のデータ線とクロック線により接続されたデータ伝送システムであって、

前記送信装置は、

クロックを生成するクロック生成手段と、

該クロック生成手段により生成されたクロックに同期して、シリアルデータを前記データ線と同数のパラレルデータに変換するシリアル／パラレル変換手段とを有し、前記受信装置は、

前記クロック生成手段により生成され前記クロック線を通じて受信したクロックに同期して、前記シリアル／パラレル変換手段により変換され前記複数のデータ線を通じて受信したパラレルデータをサンプリングするデータ判定手段と、

前記クロック生成手段により生成され前記クロック線を通じて受信したクロックに同期して、前記データ判定手段によりサンプリングされたパラレルデータをシリアルデータに変換するパラレル／シリアル変換手段とを有し、

前記データ判定手段は、多点サンプリングを行い、該多点サンプリングを行ったサンプリングデータの中央ビットを前記パラレル／シリアル変換手段に出力することを特徴とするデータ伝送システム。

【請求項2】 送信装置と受信装置とが複数のデータ線とクロック線により接続されたデータ伝送システムであって、

前記送信装置は、

クロックを生成するクロック生成手段と、

該クロック生成手段により生成されたクロックに同期して、シリアルデータを前記データ線の本数と同数のパラレルデータに変換するシリアル／パラレル変換手段とを有し、

前記受信装置は、

前記クロック生成手段により生成され前記クロック線を通じて受信したクロックに同期して、前記シリアル／パラレル変換手段により変換され前記複数のデータ線を通じて受信したパラレルデータをサンプリングするデータ判定手段と、

前記クロック生成手段により生成され前記クロック線を通じて受信したクロックに同期して、前記データ判定手段によりサンプリングされたパラレルデータをシリアルデータに変換するパラレル／シリアル変換手段とを有し、

前記データ判定手段は、多点サンプリングを行い、該多点サンプリングを行ったサンプリングデータの論理値をカウントし、該カウントした論理値を多数決判定してデータを判定することを特徴とするデータ伝送システム。

【請求項3】 前記送信装置は、

前記シリアル／パラレル変換手段に1ビットずつシリアルデータを出力する第1のシフトレジスタさらに有することを特徴とする請求項1または2記載のデータ伝送システム。

【請求項4】 前記受信装置は、

前記データ線を通じて入力されたパラレルデータを、前記データ判定手段に1ビットずつ出力する前記データ線の本数と同数の第2のシフトレジスタをさらに有することを特徴とする請求項1から3のいずれか1項に記載のデータ伝送システム。

【請求項5】 前記シリアル／パラレル変換手段は、

前記データ線の本数と同数の第1のゲートと、

前記クロック生成手段により生成されたクロックをカウントする第1のカウンタとを有し、

該第1のカウンタは、前記第1のシフトレジスタから入力されたデータが入力される前記第1のゲートを指定することを特徴とする請求項3記載のデータ伝送システム。

【請求項6】 前記パラレル／シリアル変換手段は、

前記データ線の本数と同数の第2のゲートと、

前記クロック生成手段により生成され前記クロック線を通じて入力されたクロックをカウントする第2のカウンタとを有し、

該第2のカウンタは、前記第2のシフトレジスタからパラレルデータを入力された前記第2のゲートからの出力順序を指定することを特徴とする請求項4記載のデータ伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、クロック同期したシリアルデータをパラレルデータに変換してデータの送受信を行うデータ伝送システムに関する。

【0002】

【従来の技術】 従来、クロックに同期させてデータの送受信を行うデータ伝送システムにおいて、送信装置から受信装置へのデータ及びクロックの伝送途中に、外部ノイズや伝送による波形ひずみによりデータ及びクロックにジッタが生じ、伝送誤りビットが発生することがあった。

【0003】 この問題点に関する対応策として、実開平5-28152号公報に開示された従来技術がある。当該従来技術に開示された送信装置は、送信データのサンプリングクロックより速いクロックを送信クロックとして受信装置に送信する。受信装置は、このクロックを使用して受信データのサンプリング（多点サンプリング）を行い、当該サンプリングの結果によりデータの再生を行うようにしたものである。

【0004】

【発明が解決しようとする課題】 しかしながら、上記実開平5-28152号公報に開示された従来技術では、シリアルデータの遙倍のクロックを送信クロックとして

送り、シリアルデータを多点サンプリングし、そのサンプリング結果によりデータを再生しているため、シリアルデータの通倍のクロックを必要とする。そのため、EMI (Electromagnetic Interference) 特性にも悪影響がある。

【0005】本発明は、上記問題点に鑑みてなされたものであり、シリアルデータの通倍のクロックに分周しなくとも、多点サンプリングを可能とし、伝送誤りの発生確率を低減することが可能なデータ伝送システムを提供することを目的とする。

【0006】また、多点サンプリングし、そのサンプリング結果からデータを再生する際に、多点サンプリングしたデータの0と1をカウントし、多数決判定を行うことによって、中央値をとるよりノイズに強くなり、伝送誤りの発生確率を低減することが可能なデータ伝送システムを提供することを目的とする。

【0007】

【課題を解決するための手段】かかる目的を達成するために、請求項1記載の発明は、送信装置と受信装置とが複数のデータ線とクロック線とにより接続されたデータ伝送システムであって、送信装置は、クロックを生成するクロック生成手段と、該クロック生成手段により生成されたクロックに同期して、シリアルデータをデータ線の本数と同数のパラレルデータに変換するシリアル／パラレル変換手段とを有し、受信装置は、クロック生成手段により生成されクロック線を通じて受信したクロックに同期して、シリアル／パラレル変換手段により変換され複数のデータ線を通じて受信したパラレルデータをサンプリングするデータ判定手段と、クロック生成手段により生成されクロック線を通じて受信したクロックに同期して、データ判定手段によりサンプリングされたパラレルデータをシリアルデータに変換するパラレル／シリアル変換手段とを有し、データ判定手段は、多点サンプリングを行い、該多点サンプリングを行ったサンプリングデータの中央ビットをパラレル／シリアル変換手段に出力することを特徴としている。

【0008】請求項2記載の発明は、送信装置と受信装置とが複数のデータ線とクロック線とにより接続されたデータ伝送システムであって、送信装置は、クロックを生成するクロック生成手段と、該クロック生成手段により生成されたクロックに同期して、シリアルデータをデータ線の本数と同数のパラレルデータに変換するシリアル／パラレル変換手段とを有し、受信装置は、クロック生成手段により生成されクロック線を通じて受信したクロックに同期して、シリアル／パラレル変換手段により変換され複数のデータ線を通じて受信したパラレルデータをサンプリングするデータ判定手段と、クロック生成手段により生成されクロック線を通じて受信したクロックに同期して、データ判定手段によりサンプリングされたパラレルデータをシリアルデータに変換するパラレル

／シリアル変換手段とを有し、データ判定手段は、多点サンプリングを行い、該多点サンプリングを行ったサンプリングデータの論理値をカウントし、該カウントした論理値を多数決判定してデータを判定することを特徴としている。

【0009】請求項3記載の発明は、請求項1または2記載の発明において、送信装置は、シリアル／パラレル変換手段に1ビットずつシリアルデータを出力する第1のシフトレジスタをさらに有することを特徴としている。

【0010】請求項4記載の発明は、請求項1から3のいずれか1項に記載の発明において、受信装置は、データ線を通じて入力されたパラレルデータを、データ判定手段に1ビットずつ出力するデータ線の本数と同数の第2のシフトレジスタをさらに有することを特徴としている。

【0011】請求項5記載の発明は、請求項3記載の発明において、シリアル／パラレル変換手段は、データ線の本数と同数の第1のゲートと、クロック生成手段により生成されたクロックをカウントする第1のカウンタとを有し、該第1のカウンタは、第1のシフトレジスタから入力されたデータが入力される第1のゲートを指定することを特徴としている。

【0012】請求項6記載の発明は、請求項4記載の発明において、パラレル／シリアル変換手段は、データ線の本数と同数の第2のゲートと、クロック生成手段により生成されクロック線を通じて入力されたクロックをカウントする第2のカウンタとを有し、該第2のカウンタは、第2のシフトレジスタからパラレルデータを入力された第2のゲートからの出力順序を指定することを特徴としている。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を添付図面を参照しながら詳細に説明する。

【0014】図1は、送信装置1と受信装置7を複数のデータ線およびクロック線を介して接続したシステムブロック図である。まず、送信装置1の構成について説明する。送信装置1は、送信バッファ2、シフトレジスタ3、ゲート4、クロック発生回路5及びカウンタ6により構成される。

【0015】送信バッファ2は、送信データをシフトレジスタ3に入力する前に、一時的に送信データを記憶するメモリである。主に、処理速度の違いを吸収するために用いられる。

【0016】シフトレジスタ3は、クロック発生回路5が生成したクロックaのタイミングで、1ビットずつ順序を変更することなく桁送りすることにより、データをゲート4に送出する。

【0017】ゲート4は、データ線の本数と同数分設置され、各ゲートには、ラッチ回路が設けられる。シフト

レジスタ3から送出されたデータは、クロック発生回路5が生成したクロックaのタイミングで、カウンタ6の示す値のゲートに振り分けられる。

【0018】クロック発生回路5は、所定のタイミングでクロックaを生成する。該生成したクロックaを送信装置1のシフトレジスタ8及びカウンタ6に送出する。また、クロック線を介して受信装置7のシフトレジスタ8及びカウンタ12にクロックaを同期信号として送出する。

【0019】カウンタ6は、データ線の本数まで、クロック発生回路5が生成したクロックaをカウントし、その数までカウントすると、また1からカウントを始めるという動作を繰り返す。例えば、データ線の本数が3本の時は、1、2、3、1、2、3……とカウントする。カウンタ6の示す値に対応したゲート4は、イネーブルされる。

【0020】次に、送信装置1の動作について説明する。送信バッファ2内のデータは、シフトレジスタ3へ送られ、クロック発生回路5で生成されるクロックaに同期して、ゲート4に送られる。ゲート4にはデータ線の数のゲートがあるものとする。その時のクロックaとデータbの関係は図2のようになる。カウンタ6は、クロックaをデータ線の数だけカウントするカウンタで、そのカウンタの値に対応するゲート4をイネーブルする。

【0021】よって、ゲート4に送られたデータbは、クロックaに応じて複数のデータ線に振り分けられる。振り分けられたデータは、各々のラッチ回路でラッチされる。図2は、データbと振り分けられた後の送信データc1～cnの関係を示している。図2は、データ線の数が3本の場合の例で説明しているので、ゲート及びラッチ回路は3つである。ラッチ回路は、直近のデータを保持し続けるという機能を有するので、カウンタ6からのイネーブル信号が入力された時のデータを次のイネーブル信号が入力されるまで保持し続ける。イネーブル信号は3クロックに1回入力されることから、図2のような送信データc1、c2、c3となる。このような処理により、シリアルデータは、パラレルデータに変換される。

【0022】次に、受信装置7の構成について説明する。受信装置7は、シフトレジスタ8、データ判定回路9、ゲート10、受信バッファ11及びカウンタ12から構成される。

【0023】シフトレジスタ8は、データ線の本数と対応した数のレジスタを有し、各々のデータ線を介して送信されてきたデータを対応するレジスタに順次格納する。格納したデータをクロック発生回路5から受信したクロックdに同期してデータ判定回路9に1ビットずつ送出する。

【0024】データ判定回路9は、データ線の本数と対

応した数の回路を有し、各回路は、1ラッチ期間のデータを多点サンプリングして、当該サンプリングにより抽出したサンプリングデータの中央ビットを検出し、該検出したデータをゲート10に送出する。本実施の形態では、データ線が3本の例で説明しているので、1ラッチ期間は3クロックである。データ判定回路9は、当該3クロックの2クロック目のデータを正しいデータとして採用している。

【0025】ゲート10は、データ線の本数と同数分配され、データ判定回路9から入力されたパラレルデータを、カウンタ12からのイネーブル信号による制御により、シリアルデータに変換し、受信バッファ11に出力する。

【0026】受信バッファ11は、ゲート10から出力されたデータを一時記憶する。

【0027】カウンタ12は、データ線の本数まで、送信装置1のクロック発生回路5から受信したクロックdをカウントし、その数までカウントすると、また1からカウントを始めるという動作を繰り返す。例えば、データ線の本数が3本の時は、1、2、3、1、2、3……とカウントする。

【0028】次に、受信装置7の動作について説明する。受信装置7において、シフトレジスタ8に入力された受信データe1～enは、受信クロックdに同期してデータ判定回路9においてサンプリングされ、図3のデータf1～fnのように複数のビットに再生される。ここで、受信クロックdおよび受信データe1～enにはジッタが含まれている。ジッタとは、デジタル波形に含まれる時間的なノイズである。主に、クロック発生回路5の不安定さが原因となる。ジッタが含まれることにより、再生データf1～fnには誤りビットが生じる。

【0029】ところで、ジッタにより誤りビットが生じるのは、再生データf1～fnの両端のビットがほとんどであるため、データ判定回路9により複数ビットの再生データの中央ビットを正しいデータと判定すると、ジッタによる誤りビットの発生を防止することができる。データ判定回路9は、当該中央ビットを正しいデータと判定し、ゲート10に出力する。

【0030】カウンタ12は、カウンタ6と同様にクロックをデータ線の数だけカウントするカウンタで、そのカウンタの値に対応するゲート10をイネーブルする。よって、ゲート10に送られたデータは、クロックdに応じて順次、受信バッファ11に出力される。以上の動作により送信装置1と受信装置7とのデータ伝送が可能となる。

【0031】図3を例に具体的に説明すると、受信クロックdの1つ目のジッタは、受信データe1～e3の波形の変化がない部分であるから、誤りビットは発生しない。受信クロックdの2つ目のジッタは、同期をとるタ

タイミングを早くしてしまっていることから、データ判定回路9は、受信データe1が0となる前にデータを検出してしまい、本来0となるべきデータを1と検出してしまっている。

【0032】受信データe1のジッタは、波形の変化を早くしてしまっているが、データ検出には影響しない。受信データe2のジッタは、波形の変化を遅くしてしまい、その結果として誤りビットを発生させている。

【0033】次に、第2の実施の形態について説明する。本実施の形態の構成及び動作は、基本的に第1の実施の形態と同一である。異なる点は、データ判定回路9において、多点サンプリングしたデータの中央ビットを正しいデータとして判定する方法によらず、データ判定回路9内にカウンタと多数決判定回路を設け、多点サンプリングしたデータの0と1をカウントし、データ判定回路9内の多数決判定回路において多数決判定を行う点である。

【0034】図3を例に具体的に説明すると、受信データe2のジッタが生じている部分の多点サンプリングデータは、0が1つ、1が2つであり多数決判定回路により1と判定される。データ線の本数をさらに増やせば、多点サンプリングデータの判断ビットが増えることになり、さらに多数決判定の精度を上げることができる。

【0035】

【発明の効果】以上の説明から明らかなように、本発明のデータ伝送システムによれば、クロックに同期したシリアルデータを、送信する際にはパラレルデータに変換し、受信する際にはシリアルデータに変換し直す伝送装置において、パラレルデータを受信し、それぞれのデータを多点サンプリングして、サンプリングデータの中央ビットを正しいデータとして判定するため、データ及びクロックにジッタが生じても誤りのないデータ伝送が可能となる。

【0036】また、多点サンプリングするためのクロックは、送信データと同じ周波数のクロックを送信クロックとして送ればよいので、送信データの倍のクロックを必要としない。そのため、EMI特性を向上させることが可能となる。

【0037】さらに、パラレルデータを受信し、それぞれのデータの多点サンプリングを行い、サンプリングデータの0と1をカウントして多数決判定を行い、多い方をシリアルデータに変換するため、中央値をとるよりデータやクロックのジッタ及びノイズ等に強くなり、伝送誤りの発生確率を低減することが可能となる。

【図面の簡単な説明】

【図1】本発明におけるデータ伝送システムの全体構成を示すブロック図である。

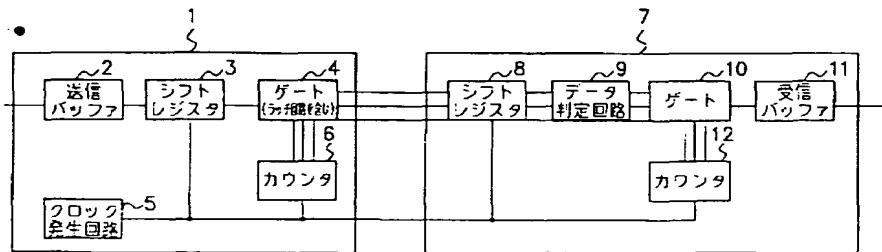
【図2】本発明における送信クロックa、シリアルデータb及びパラレルデータcの波形を示したタイミングチャートである。

【図3】本発明における受信クロックd、受信データcの波形を示したタイミングチャートである。

【符号の説明】

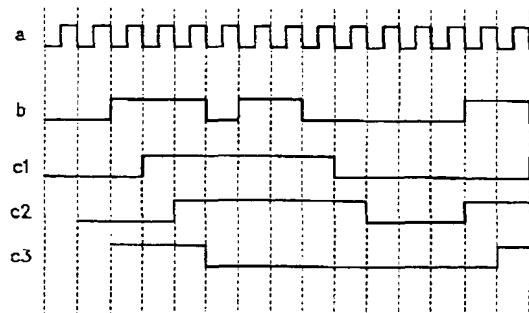
- 1 送信装置
- 2 送信バッファ
- 3 シフトレジスタ
- 4 ゲート
- 5 クロック発生回路
- 6 カウンタ
- 7 受信装置
- 8 シフトレジスタ
- 9 データ判定回路
- 10 ゲート
- 11 受信バッファ
- 12 カウンタ

【図1】



!(6) 001-168729 (P2001-1658

【図2】



【図3】

